



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02051734 A**(43) Date of publication of application: **21.02.90**

(51) Int. Cl.

G06F 9/22
G06F 9/06
G06F 11/28

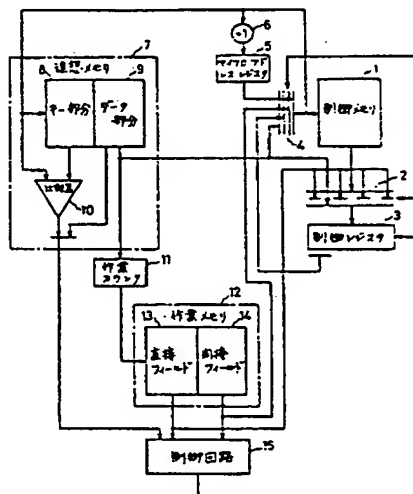
(21) Application number: **63203002**(71) Applicant: **NEC CORP**(22) Date of filing: **15.08.88**(72) Inventor: **ONO YOSHIHARU**(54) **MICROPROGRAM CONTROLLER**

(57) Abstract:

PURPOSE: To facilitate the correction of a microprogram by holding the change data to be replaced with the data on a control memory and writing the change data into a control register selected by a data switching means via a data part of an associative memory.

CONSTITUTION: A key part 8 of an associative memory 7 is retrieved by the read address of a control memory 1, and a comparator 10 outputs a coincidence signal to a control circuit 15 when the coincidence is obtained between the read address and the part 8. At the same time, the memory 7 outputs the data on a data part 9 to the circuit 15. Thus the circuit 15 that inputted said coincidence signal and data out of the memory 7 performs the control actions of 6 different types of modes in accordance with the data on a control field occupying a part of the input data. This control field consists of 6 bits of bit 1 - bit 6 and each bit is exclusively set.

COPYRIGHT: (C)1990,JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-51734

⑬ Int.Cl.⁵

G 06 F 9/22
9/06
11/28

識別記号

3 7 0
4 4 0 N
3 3 0 B

庁内整理番号

7361-5B
7361-5B
7343-5B

⑭ 公開 平成2年(1990)2月21日

審査請求 未請求 請求項の数 6 (全9頁)

⑮ 発明の名称 マイクロプログラム制御装置

⑯ 特 願 昭63-203002

⑰ 出 願 昭63(1988)8月15日

⑱ 発 明 者 大 野 義 治 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 山川 政樹 外2名

明 細 書

1. 発明の名称

マイクロプログラム制御装置

2. 特許請求の範囲

(1) マイクロプログラムを記憶する読出し専用の制御メモリと、

前記制御メモリの読出しアドレスを索引情報としてキー部分に保持し、このキー部分に対応するデータ部分に前記制御メモリに保持されているデータに替える変更データを保持し、前記制御メモリの読出しアドレスとこの読出しアドレスによつて検索された前記キー部分の索引情報とが一致したとき一致信号を出力する連想記憶手段と、

前記一致信号に応じて前記制御メモリの出力に替えて前記変更データを出力するデータ切替手段とを有することを特徴とするマイクロプログラム制御装置。

(2) マイクロプログラムを記憶する読出し専用の制御メモリと、

前記制御メモリの読出しアドレスを索引情報としてキー部分に保持し、このキー部分に対応するデータ部分に前記制御メモリのマイクロプログラムの分岐アドレスを保持し、前記制御メモリの読出しアドレスとこの読出しアドレスによつて検索された前記キー部分の索引情報とが一致したとき一致信号を出力する連想記憶手段と、

前記一致信号に応じて前記制御メモリの読出しアドレスに替えて前記分岐アドレスを前記制御メモリへ出力するアドレス切替手段とを有することを特徴とするマイクロプログラム制御装置。

(3) マイクロプログラムを記憶する読出し専用の制御メモリと、

複数のフィールドからなる制御レジスタ手段と、前記制御メモリの読出しアドレスを索引情報としてキー部分に保持し、このキー部分に対応するデータ部分に前記制御レジスタ手段の1フィールド分の変更データとこの制御レジスタ手段の書き込みフィールド指定情報とを保持し、前記制御メモ

りの読出しアドレスとこの読出しアドレスによつて検索された前記キー部分の索引情報とが一致したとき一致信号を出力する連想記憶手段と、

前記一致信号に応じて、前記1フィールド分の変更データを前記書き込みフィールド指定情報が指定する前記制御レジスタ手段のフィールドに書き込む制御手段と
を有することを特徴とするマイクロプログラム制御手段。

(4) マイクロプログラムを記憶する読出し専用の制御メモリと、

複数のフィールドからなる制御レジスタ手段と、
前記制御メモリの読出しアドレスを索引情報としてキー部分に保持し、このキー部分に対応するデータ部分に前記制御メモリの再読出しアドレスと前記制御レジスタ手段の書き込みフィールド指定情報とを保持し、前記制御メモリの読出しアドレスとこの読出しアドレスによつて検索された前記キー部分の索引情報とが一致したとき一致信号を出力する連想記憶手段と、

ドレスによつて検索された前記キー部分の索引情報が一致したとき一致信号を出力する連想記憶手段と、

前記連想記憶手段から出力される前記作業メモリのアドレスを保持し、このアドレスの値をインクリメントして前記作業メモリへ出力するカウンタ手段と、

前記一致信号に応じて、前記作業メモリから読出した前記変更データをこの変更データに対応する前記フィールド指定情報が指定する前記制御レジスタ手段のフィールドへ書き込む制御手段と
を有することを特徴とするマイクロプログラム制御装置。

(6) マイクロプログラムを記憶する読出し専用の制御メモリと、

複数のフィールドからなる制御レジスタ手段と、
前記制御メモリのアドレス情報と前記制御レジスタ手段のフィールド指定情報とを対にして保持する作業メモリと、

前記制御メモリの読出しアドレスを索引情報と

前記一致信号に応じて前記再読出アドレスを選択して前記制御メモリに出力するアドレス切換手段と、

前記アドレス切換手段から出力された再読出アドレスに応じて前記制御メモリから再読出されたデータを前記書き込みフィールド指定情報が指定する前記制御レジスタ手段のフィールドに書き込む制御手段と
を有することを特徴とするマイクロプログラム制御装置。

(5) マイクロプログラムを記憶する読出し専用の制御メモリと、

複数のフィールドからなる制御レジスタ手段と、
前記制御メモリの変更データと前記制御レジスタ手段のフィールド指定情報とを対にして保持する作業メモリと、

前記制御メモリの読出しアドレスを索引情報としてキー部分に保持し、このキー部分に対応するデータ部分に前記作業メモリのアドレスを保持し、前記制御メモリの読出しアドレスとこの読出しア

ドレスによつて検索された前記キー部分の索引情報が一致したとき一致信号を出力する連想記憶手段と、
前記連想記憶手段から出力される前記作業メモリのアドレスを保持し、このアドレスの値をインクリメントして前記作業メモリへ出力するカウンタ手段と、

前記一致信号に応じて、前記作業メモリから読出した前記制御メモリのアドレス情報に従つてこの制御メモリからデータを読出し、このデータを前記アドレス情報に対応する前記フィールド指定情報が指定する前記制御レジスタ手段のフィールドへ書き込む制御手段と
を有することを特徴とするマイクロプログラム制御装置。

前記一致信号に応じて、前記作業メモリから読出した前記制御メモリのアドレス情報に従つてこの制御メモリからデータを読出し、このデータを前記アドレス情報に対応する前記フィールド指定情報が指定する前記制御レジスタ手段のフィールドへ書き込む制御手段と
を有することを特徴とするマイクロプログラム制御装置。

を有することを特徴とするマイクロプログラム制御装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明はマイクロプログラム制御方式を採用した電子計算機におけるマイクロプログラム制御装置に関し、特にマイクロプログラムの変更が容易にできるマイクロプログラム制御装置に関するものである。

(従来の技術)

マイクロプログラムは電子計算機におけるハードウェアとソフトウェアの中間に位置するものであつて、ソフトウェアレベルの機械語命令をハードウェアレベルの基本操作に分割してより低位の命令列として表現されたものである。従来この様なマイクロプログラムによつて電子計算機を制御する方式すなわちマイクロプログラム制御方式としては、「情報処理学会誌1973年6月号」に記載されているように多様な方式が存在しているが、何れの方式もマイクロプログラムを記憶するために高速、大容量かつ低価格の制御メモリを必要としており、この要求を満足させるために読み出し専用メモリ(以下ROMという)が制御メモリとして使用されている。しかし、この種の読み出し

専用メモリではこのメモリの内容を変更する必要があつても変更できないのでこのROMを再び作り直さねばならず、このため多大の費用と時間を必要としている。

この欠点を改善するために、制御メモリの一部の領域を読み出し及び書き込み可能なメモリ(以下RAMという)で構成することによつてメモリ内容の変更を容易に行う技法がある。

(発明が解決しようとする課題)

しかし、上述したようにROM及びRAMを制御メモリとして使用する場合、この2種類のメモリの領域は固定であるためにROM領域に格納されているマイクロプログラムを修正するときには大きな制約を受けていた。例えば、ある機械語命令に相当するマイクロプログラム中の特定のステップを修正して実行する場合、まず、この機械語に相当するマイクロプログラムの先頭ステップから修正をする特定のステップまでをROM領域からRAM領域へ移してこの特定のステップを修正し、次に、このマイクロプログラムの先頭ステップか

ら修正したステップまでをRAM領域において実行させ、この修正したステップを通過した後はROM領域に分岐させこの修正したステップの読取を実行するといった処理を必要としていた。

このため、制御メモリのROM領域に格納されているマイクロプログラムに変更が生じることによつてRAM領域に格納されるマイクロプログラムのステップ数が増加し、これによりこのRAM領域が制御メモリに占める比率が増加するとともに制御メモリに格納されるマイクロプログラム全体のステップ数も増加する結果となり、制御メモリ部分の価格の上昇及び性能の低下を招くという欠点があつた。

(課題を解決するための手段)

この発明のマイクロプログラム制御装置は、マイクロプログラムを記憶する読出し専用の制御メモリと、その制御メモリの読出しアドレスを索引情報としてキャッシュ部分に保持し、このキャッシュ部分に対応するデータ部分に制御メモリに保持されているデータに替える変更データを保持し、制御メモリ

の読出しアドレスとこれによつて検索されたキャッシュ部分の索引情報とが一致したとき一致信号を出力する連想記憶手段と、その一致信号に応じて制御メモリの出力に替えて変更データを出力するデータ切替手段とを有する。

また、この発明のマイクロプログラム制御装置において、連想記憶手段のデータ部分はマイクロプログラムの分岐アドレスを保持し、この分岐アドレスはアドレス切替手段に選択され制御メモリに出力されるのでマイクロプログラムのステップはこの分岐アドレスに分岐する。

また、この発明のマイクロプログラム制御装置において、連想記憶手段のデータ部分は制御レジスタ手段の変更データ及び制御レジスタのフィールド指定情報を保持し、制御手段はこのフィールド指定情報に従つて変更データを制御レジスタに書込む。

また、この発明のマイクロプログラム制御装置において、連想記憶手段のデータ部分は制御メモリの再読出しアドレス及び制御レジスタ手段のフ

フィールド指定情報を保持し、再読出しアドレスはアドレス切替手段に選択され制御メモリへ出力されるのでこの制御メモリからは再読出しされたデータが出力される。そして、制御手段はこの再読しされたデータをフィールド指定情報に従って制御レジスタに書き込む。

また、この発明のマイクロプログラム制御装置において、連想記憶手段のデータ部分は作業メモリのアドレスを保持し、作業メモリは制御メモリの変更データと制御レジスタ手段のフィールド指定情報とを対にして保持する。そして、連想記憶手段のデータ部分に保持されている作業メモリのアドレスはカウンタ手段へ出力され、このカウンタ手段はそのアドレスを保持及びインクリメントして作業メモリへ出力する。これにより、制御手段は作業メモリから変更データ及びこれに対応するフィールド情報を読出し、この情報に従って変更データを制御レジスタへ書き込む。

また、この発明のマイクロプログラム制御装置において、連想記憶手段のデータ部分は作業メモ

リのアドレスを保持し、作業メモリは制御メモリのアドレス情報と制御レジスタ手段のフィールド指定情報とを対にして保持する。そして、連想記憶手段に保持されている作業メモリのアドレスはカウンタ手段へ出力され、このカウンタ手段はそのアドレスを保持及びインクリメントして作業メモリへ出力する。これにより、制御手段は作業メモリから制御メモリのアドレス及びこれに対応するフィールド指定情報を読出し、読出したアドレスに従って制御メモリからデータを読出し、このデータをフィールド指定情報に従ってレジスタ手段に書き込む。

〔作用〕

この発明のマイクロプログラム装置において、連想記憶手段のデータ部分は制御メモリのデータに替える変更データを保持し、この変更データはデータ切替手段に選択され制御レジスタに書き込まれるので、マイクロプログラムのステップはこの変更データに置換されるのである。

〔実施例〕

次にこの発明について図面を参照して説明する。

第1図はこの発明の一実施例を示すブロック図である。この図において、1はROMにより構成されるマイクロプログラムを記憶する制御メモリである。2は3入力1出力のデータ切替器であつて、制御メモリ1の出力、後述する連想メモリ7の出力及び作業メモリ12の出力を入力し、これら3つの入力の中から1つを選択し出力するものである。3は制御レジスタであつて複数のフィールドから構成されており、データ切替器2の出力が書き込みデータとして入力されこの制御レジスタ3の複数のフィールドの全部あるいは一部に書き込まれるようになっている。4は4入力1出力のアドレス切替器であつて、制御レジスタ3の1フィールド、後述するマイクロアドレスレジスタ5、連想メモリ7及び作業メモリ12の出力を入力してこれら4つの入力の中から1つを制御メモリ1の読出しアドレスとして選択し出力する。5は制御メモリ1の読出しアドレスを保持するマイクロアドレスレジスタ、6はアドレス切替器4の出力

に「1」を加算してマイクロアドレスレジスタ5へ供給する加算器である。7は連想メモリであつて、キー部分8、データ部分9、及びアドレス切替器4から出力される読出アドレスと上記キー部分8の出力との一致を検出して一致信号を出すようになっている比較器10の3つから構成される。また、上記データ部分9の出力はデータ切替回路2へ出力されるとともに作業カウンタ11へ出力され、更に比較器10から出力される一致信号とともに後述の制御回路15へも出力される。作業カウンタ11は、これが保持するデータに「1」を加算するとともにこの保持するデータを後述する作業メモリ12へこの作業メモリ12の読出しアドレスとして供給する。この作業メモリ12は直接フィールド13とこれと対になっている間接フィールド14とからなつており、この直接フィールド13の出力はデータ切替器2へ出力され、一方間接フィールド14の出力はアドレス切替器4へ出力される。制御回路15は、連想メモリ7から一致信号及びデータを、また、作業メモリ12

からデータをそれぞれ入力し、これらに応じてデータ切替器2、制御レジスタ3及びアドレス切替器4に対してデータの入力切替やデータの書き込み等の制御作用を行なうものである。

なお、例えば制御レジスタ3が4つのフィールド(第1〜第4フィールド)から構成されているとした場合、この制御レジスタ3へデータを転送(出力)する3つのメモリ(制御メモリ1、連想メモリ7のデータ部8及び作業メモリ12の直接フィールド13)も制御レジスタ3と同じ4つのフィールドから構成されている。そして、データがこの3つのメモリから制御レジスタ3へ転送される場合、このデータ転送は両者の同一フィールド間に限られる。例えば、制御メモリ1の第1フィールドのデータは制御レジスタ3の第1フィールドに転送されるが、他の第2〜第4フィールドには転送されない。いかえれば、データの転送先である制御レジスタ3のフィールドを指定することは、このデータの転送元である3つのメモリのフィールドを指定することと同じことになる。

は各々次に示すモードのときにセットされるものである。ビット1はイミディエイトデータモード(IMD)、ビット2はイミディエイトアドレスモード(IMA)、ビット3は部分直接データモード(PDD)、ビット4は部分直接アドレスモード(PDA)、ビット5は部分間接データモード(PID)、ビット6は部分間接アドレスモード(PIA)のときにそれぞれセットされる。

次に、第1図及び第2図を用いて上記各モード毎にこの発明のマイクロプログラム制御装置の動作説明を行なう。ただし、前述した動作、すなわち制御メモリ1の読出しアドレスによつて連想メモリ7のデータが検索された結果、連想メモリ7からこれのデータ及び一致信号が制御回路15に出力されるという一連の動作は終了したものとてその説明を省略する。

(1) イミディエイトデータモードの実施例

イミディエイトデータモードは、制御メモリ1に格納されているマイクロプログラムの任意のステップを連想メモリ7に格納されているデータと

なお第1図において、制御レジスタ3の出力によつて制御される演算器及びこの制御レジスタ3の出力を制御信号にデコードするデコーダ等は、この発明に直接に関与しないためその説明を省略する。

次に、この実施例の動作を説明する。制御メモリ1の読出しアドレスによつて連想メモリ7のキー部分8が検索され、比較器10はこの読出しアドレスとキー部分8の一致を検出すると一致信号を制御回路15へ出力する。これとともに、連想メモリ7はこれのデータ部分8のデータを制御回路15へ出力する。ここで、この連想メモリ7から上記の一致信号及びデータを入力した制御回路15は、この入力したデータの一部をしめる制御フィールドのデータに応じて6種類の異なるモードの制御動作を行うことになる。この制御フィールドはビット1〜ビット6の6ビットから構成されており、各ビットは排他的にセットされる。すなわち、ある1つのビットのみがセットされ他のビットはセットされない。また、これら各ビット

置換してこのマイクロプログラムを実行するモードである。

第2図(a)は連想メモリ7のデータ部分8のデータ内容を示しており、ここで制御フィールド20のビット1がセットされておりイミディエイトデータモードであることを示している。また、データ部21にはあらかじめ制御メモリ1の1ステップに置換する変更データが保持されている。制御回路15は、連想メモリ7から第2図(a)のようなデータを入力してイミディエイトモードであることを認識すると、データ切替器2に対して連想メモリ7のデータ部分8を選択するように制御する。次に、データ部分8のデータ部21に保持されていた変更データをデータ切替器2を介して制御レジスタ3へ書き込む。この結果、制御メモリ1に格納されているマイクロプログラムのステップを変更データと置換してこのマイクロプログラムを実行することが可能となる。

(2) イミディエイトアドレスモードの実施例

イミディエイトアドレスデータモードは、制御

メモリ1に格納されているマイクロプログラムの任意のステップを任意のアドレスに分岐してこのマイクロプログラムを実行するモードである。

第2図(b)は連想メモリ7のデータ部分9のデータ内容を示しており、ここで制御フィールド20のビット2がセットされておりイミディエイトアドレスモードであることを示している。また、データ部21にはあらかじめマイクロアドレスレジスタ5から出力される制御メモリ1の脱出しアドレスと置換する分岐アドレスが保持されている。制御回路15は、連想メモリ7から第2図(b)のようなデータを入力してイミディエイトアドレスモードであることを認識すると、アドレス切替器4に対して連想メモリ7のデータ部分9を選択するように制御する。このため、データ部分9のデータ部21に保持されていた分岐アドレスはアドレス切替器4を介して制御メモリ1へ出力されるのでマイクロプログラムはこの分岐アドレスに分岐して実行される。この結果、制御メモリ1に格納されているマイクロプログラムのステップを任意

のアドレスに分岐してこのマイクロプログラムを実行することが可能となる。

(3) 部分直接データモードの実施例

部分直接データモードは、制御メモリ1に格納されているマイクロプログラムの任意のステップにおける任意の1つのフィールドのデータを連想メモリ7に格納されているデータに置換してこのマイクロプログラムを実行するモードである。

第2図(c)は連想メモリ7のデータ部分9のデータ内容を示しており、ここで制御フィールド20のビット3がセットされており部分直接データモードであることを示している。また、データ部21にはあらかじめ制御メモリ1の1ステップの1フィールドと置換する変更データ及びこの変更データを格納する制御レジスタ3のフィールドを指定するフィールド記述子が対で保持されている。制御回路15は、連想メモリ7から第2図(c)のようなデータを入力して部分直接データモードであることを認識すると、データ切替器2に対して制御メモリ1を選択するように制御するので、この時

点でのアドレスに従ったデータが制御メモリ1からデータ切替器2を介して制御レジスタ3に書き込まれる。次に制御回路15は、データ切替器2に対して連想メモリ7のデータ部分9を選択するように制御した後、あらかじめデータ部分9に保持されている1フィールド分の変更データをデータ切替器2を介して同じくデータ部分9に保持されているフィールド記述子が指定する制御レジスタ3のフィールドへ書き込む。ただしこのとき、制御レジスタ3の指定されたフィールド以外のフィールドには何も書き込まれず、従ってこれらのフィールドのデータは変化しない。この結果、マイクロプログラムの任意のステップの任意のフィールドのデータを変更データと置換してこのマイクロプログラムを実行することが可能となる。

(4) 部分直接アドレスモードの実施例

部分直接アドレスモードは、制御メモリ1に格納されているマイクロプログラムの任意のステップの任意のフィールドのデータを別のアドレスの任意のステップの上記任意のフィールドに相当す

るフィールドのデータと置換してこのマイクロプログラムを実行するモードである。

第2図(d)は連想メモリ7のデータ部分9のデータ内容を示しており、ここで制御フィールド20のビット4がセットされており部分直接アドレスモードであることを示している。また、データ部21にはあらかじめマイクロアドレスレジスタ5から出力される制御メモリ1の脱出しアドレスと置換する再脱出しアドレス及びこの再脱出しアドレスによつて脱出されたデータを格納する制御レジスタ3のフィールドを指定するフィールド記述子が対で保持されている。制御回路15は、連想メモリ7から第2図(d)のようなデータを入力して部分直接アドレスモードであることを認識すると、アドレス切替器4に対して連想メモリ7のデータ部分9を選択するように制御するとともに、データ切替器2に対して制御メモリ1を選択するように制御する。従つて、あらかじめ連想メモリ7のデータ部分9に保持されていた再脱出しアドレスはアドレス切替器4を介して制御メモリ1へ出力さ

れるので、この再読出しアドレスに応じたデータがデータ切替器2を介して制御レジスタ3へ出力される。このデータはあらかじめ連想メモリ7のデータ部分9に保持されていたフィールド記述子の指定する制御レジスタ3のフィールドに書き込まれることになる。この結果、マイクロプログラムの任意のステップの任意のフィールドのデータを別のアドレスの任意のステップの上記任意のフィールドに相当するフィールドのデータと置換してこのマイクロプログラムを実行することが可能となる。

(5) 部分間接データモードの実施例

部分間接データモードは、制御メモリ1に格納されているマイクロプログラムの任意のステップを作業メモリ12に格納されている変更データと1フィールド単位に置換してこのマイクロプログラムを実行するモードである。

第2図(b)は連想メモリ7のデータ部分9のデータ内容を示しており、ここで制御フィールド20のビット5がセットされており部分間接データモ

ード13に保持されているフィールド記述子によつて指定された制御レジスタ3のフィールドに書き込まれることになる。さらに、作業カウンタ11のインクリメント動作に従つて順次上述と同様の動作が行なわれることによつて作業メモリ12の直接フィールド13から読出されたデータが順次制御レジスタ3の各フィールドに書き込まれることになる。この結果、マイクロプログラムの任意のステップを1フィールド単位に変更データと置換して、すなわち1フィールド単位に新たに作成してこのマイクロプログラムを実行することが可能となる。

(6) 部分間接アドレスモードの実施例

部分間接アドレスモードは、制御メモリ1に格納されているマイクロプログラムの任意のステップの任意のフィールドのデータを作業メモリ12に格納されている別のアドレスの任意のステップの上記任意のフィールドに相当するフィールドのデータと1フィールド単位に置換してこのマイクロプログラムを実行するモードである。

ードであることを示している。また、データ部21にはあらかじめ作業メモリ12のアドレスが保持されている。第2図(d)はこの作業メモリ12の直接フィールド13の内容を示しており、直接フィールド13には1フィールド分の変更データ及びこの変更データを書込む制御レジスタ3のフィールドを指定するフィールド記述子が対で保持されている。制御回路15は、連想メモリ7から第2図(d)のようなデータを入力して部分間接データモードであることを認識すると、まず連想メモリ7のデータ部分に保持されている作業メモリ12のアドレスを作業カウンタ11へセットした後、作業カウンタ11の出力を作業メモリ12の読出しアドレスとして用い作業メモリ12の直接フィールド13を読出すとともに、データ切替器2に対して作業メモリ12の直接フィールド13を選択するように制御する。従つて、この直接フィールド13に保持されている1フィールド分の変更データはデータ切替器2を介して制御レジスタ3へ出力され、このデータと対で直接フィー

第2図(e)は連想メモリ7のデータ部分9のデータ内容を示しており、ここで制御フィールド20のビット8がセットされており部分間接アドレスモードであることを示している。また、データ部21にはあらかじめ作業メモリ12のアドレスが保持されている。第2図(f)はこの作業メモリ12の間接フィールド14の内容を示しており、間接フィールド14にはあらかじめ制御メモリ1の再読出しアドレス及びこの再読出しアドレスで指定される制御メモリ1のデータを書込む制御レジスタ3のフィールドを指定するフィールド記述子が対で保持されている。制御回路15は、連想メモリ7から第2図(f)のようなデータを入力して部分間接アドレスモードであることを認識すると、連想メモリ7のデータ部分9に保持されている作業メモリ12のアドレスを作業カウンタ11へセットした後、作業カウンタ11の出力を作業メモリ12の読出しアドレスとしてこの作業メモリ12の間接フィールド14を読出すとともに、アドレス切替器4に対して間接フィールド14を

選択するように制御する。さらに、制御回路15は、データ切替器2に対して制御メモリ1を選択するように制御する。従つて、間接フィールド14に保持されている再読出しアドレスはアドレス切替器4を介して制御メモリ1へ出力されるので、この再読出しアドレスに応じたデータがデータ切替器2を介して制御レジスタ3へ出力される。このデータは、あらかじめこのデータと対で間接フィールド14に保持されているフィールド記述子によつて指定された制御レジスタ3のフィールドに書込まれることになる。さらに、作業カウンタ11のインクリメント動作に従つて順次、上述と同様の動作が行なわれることによつて作業メモリ12の間接フィールド14から読出された再読出しアドレスに従つて制御メモリ1から読出されたデータが順次制御レジスタ3の各フィールドに書込まれることになる。この結果、マイクロプログラムの任意のステップの任意のフィールドのデータを、別のアドレスの任意のステップの上記任意のフィールドに相当するフィールドのデータと1

フィールド単位に置換して、すなわち1フィールド単位に新たに作成してこのマイクロプログラムを実行することが可能となる。

〔発明の効果〕

以上説明したようにこの発明によれば、制御メモリに記憶されているマイクロプログラムの実行の際に次のような修正を行うことが可能である。

- (1) マイクロプログラムの任意のステップを新たに別のステップと置換する。
- (2) マイクロプログラムを任意のアドレスに分岐させる。
- (3) マイクロプログラムの任意のステップの任意のフィールドのデータを新たに他のデータと置換する。
- (4) マイクロプログラムの任意のステップの任意のフィールドのデータを他の任意のステップの任意のフィールドのデータと置換する。
- (5) マイクロプログラムのステップを1フィールド単位で新たに作成してこれを実行する。
- (6) マイクロプログラムの任意のステップの任意

のフィールドのデータを他の任意のステップの任意のフィールドのデータと置換することによつて新たにステップを作成してこれを実行する。

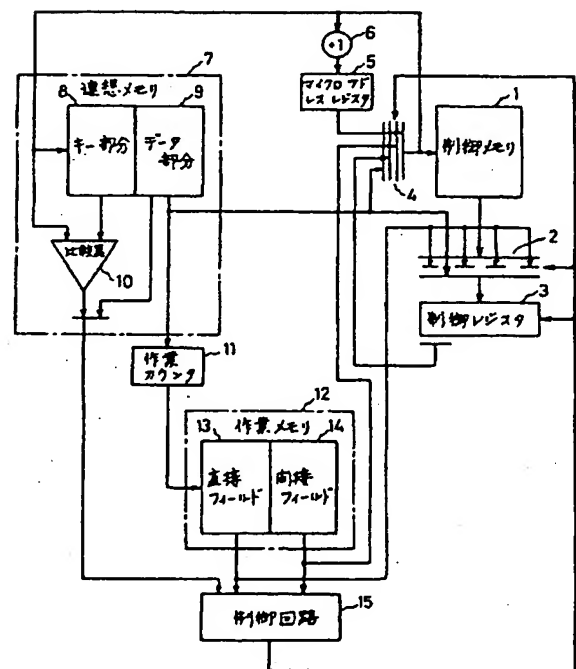
したがつて従来に比べて容易にマイクロプログラムを修正することが可能となり、しかも制御メモリに格納するマイクロプログラムのステップ数は増加しないので従来のように制御メモリのコストが上昇することやこの制御メモリの性能が低下することがない。

4. 図面の簡単な説明

第1図はこの発明の一実施例を示すブロック図、第2図(a)~(d)、(e)及び(f)は連想メモリのデータ部分のデータフォーマット図、第2図(g)、(h)は作業メモリのデータフォーマット図である。

1.....制御メモリ、2.....データ切替器、3.....制御レジスタ、4.....アドレス切替器、7.....連想メモリ、11.....作業カウンタ、12.....作業メモリ、15.....制御回路。

第1図



第 2 図

